



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06268345 A**(43) Date of publication of application: **22 . 09 . 94**

(51) Int. Cl.

**H05K 1/11**  
**H05K 1/03**  
**H05K 3/22**  
**H05K 3/40**

(21) Application number: **05077840**(22) Date of filing: **05 . 04 . 93**

(30) Priority: **06 . 05 . 92 JP 04113527**  
**20 . 05 . 92 JP 04127160**  
**06 . 07 . 92 JP 04178019**  
**12 . 01 . 93 JP 05 3263**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

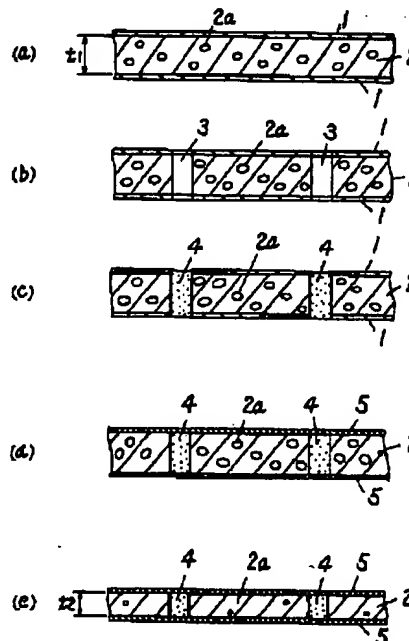
(72) Inventor: **HATAKEYAMA AKIHITO**  
**SOGO HIROSHI**  
**KOJIMA TAMAO**  
**HORIO YASUHIKO**  
**TSUKAMOTO KATSUhide**  
**FUKUMURA TAJI**

**(54) CIRCUIT FORMING BOARD AND PRODUCTION THEREOF****(57) Abstract:**

**PURPOSE:** To produce a circuit forming board in which inner via holes can be connected stably between arbitrary electrode layers using a noncompressive porous material as a starting basic material, and to obtain a circuit board and a multilayer circuit board employing it.

**CONSTITUTION:** A conductive material is compacted in order to connect metal foils electrically by a step for making a through hole in a noncompressive porous basic material 2 having a releasing film 1 and filling the through hole 3 with a conductive paste 3 to permeate the basic material 2 with the binder component of the paste 4 thus increasing the compositional ratio of conductive substance to the binder in the paste, and a step for peeling off the releasing film 1 and cladding the surface of the basic material with a metal foil 5 and then thermally compressing the laminate.

COPYRIGHT: (C)1994,JPO&amp;Japio



(9)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-268345

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H 0 5 K	1/11	N 7511-4E		
	1/03	Z 7011-4E		
	3/22	Z 7511-4E		
	3/40	K 7511-4E		

審査請求 未請求 請求項の数22 OL (全 11 頁)

(21)出願番号	特願平5-77840	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成5年(1993)4月5日	(72)発明者	畠山 秋仁 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31)優先権主張番号	特願平4-113527	(72)発明者	十河 寛 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32)優先日	平4(1992)5月6日	(72)発明者	小島 環生 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(33)優先権主張国	日本(JP)	(74)代理人	弁理士 小銀治 明 (外2名)
(31)優先権主張番号	特願平4-127160		
(32)優先日	平4(1992)5月20日		
(33)優先権主張国	日本(JP)		
(31)優先権主張番号	特願平4-178019		
(32)優先日	平4(1992)7月6日		
(33)優先権主張国	日本(JP)		

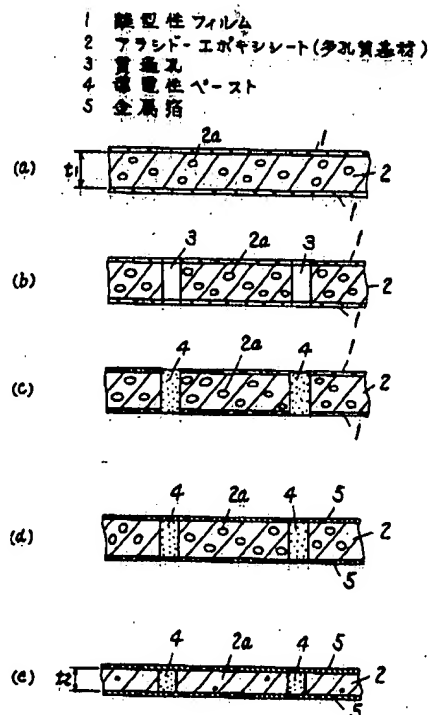
最終頁に続く

(54)【発明の名称】 回路形成用基板の製造方法および回路形成用基板

## (57)【要約】

【目的】 出発基材に被圧縮性の多孔質基材を使用し、任意の電極層間のインナビアホール接続を安定に行うことが可能な回路形成用基板の製造方法およびそれを用いた回路基板並びに多層回路基板を得る。

【構成】 離形性フィルム1を備えた被圧縮性の多孔質基材2に貫通孔3を設け、前記貫通孔3に導電性ペースト4を充填してペースト中のバインダ成分を基材2中に浸透させてペースト中のバインダに対する導電物質の構成比を増大させる工程、離形性フィルム1を剥離した基材面に金属箔5を張り合わせて加熱加圧し、積層基材を圧縮する工程によって導電物質を緻密化させて金属箔間の電気的接続を図る。



## 【特許請求の範囲】

【請求項1】 離型性フィルムを備えた被圧縮性を有する多孔質基材に貫通孔を設ける工程と、前記貫通孔に導電性ペーストを充填する工程と、前記貫通孔に前記導電性ペーストを充填した前記多孔質基材から前記離型性フィルムを剥離する工程と、前記多孔質基材の前記離型性フィルムを剥離した面に金属箔を張り合わせる工程と、前記金属箔を張り合わせた前記多孔質基材を加熱加圧して圧縮する工程とを有する回路形成用基板の製造方法。

【請求項2】 離型性フィルムを備えた被圧縮性を有する多孔質基材に貫通孔を設ける工程と、前記貫通孔に導電性ペーストを充填し、かつ前記導電性ペースト中のバインダに対する導電物質の構成比を増大させる工程と、前記貫通孔に前記導電性ペーストを充填した前記多孔質基材から前記離型性フィルムを剥離する工程と、前記多孔質基材の前記離型性フィルムを剥離した面に金属箔を張り合わせる工程と、前記金属箔を張り合わせた前記多孔質基材を加熱加圧して圧縮し、前記導電性ペースト中の導電物質を緻密化する工程とを有する回路形成用基板の製造方法。

【請求項3】 多孔質基材を加熱加圧して圧縮する工程において、その圧縮率が10～60%である請求項1または2記載の回路形成用基板の製造方法。

【請求項4】 貫通孔に導電性ペーストを充填する工程以前に、離型性フィルムを備えた被圧縮性を有する多孔質基材を予備圧縮する工程を付加した請求項1または2記載の回路形成用基板の製造方法。

【請求項5】 離型性フィルムを備えた被圧縮性を有する多孔質基材が有機材料を主材料とし、前記多孔質基材の空孔率が10～60%である請求項1または2記載の回路形成用基板の製造方法。

【請求項6】 離型性フィルムを備えた被圧縮性を有する多孔質基材が不織布と熱硬化性樹脂との複合材である請求項1または2記載の回路形成用基板の製造方法。

【請求項7】 導電性ペースト中の導電物質が、銀、金、銀パラジウム、銅およびこれらの合金の内の一種以上からなる請求項1または2記載の回路形成用基板の製造方法。

【請求項8】 両面に金属箔を張り合わせた多孔質基材を加熱加圧して圧縮する工程が、導電性ペーストの粘度を上昇させる第1の工程と、前記金属箔と前記多孔質基材とを接着する第2の工程とからなる請求項1または2記載の回路形成用基板の製造方法。

【請求項9】 導電性ペーストのゲル化温度が多孔質基材を構成する樹脂の軟化温度より低い請求項1または2記載の回路形成用基板の製造方法。

【請求項10】 多孔質基材に設けられた貫通孔に充填された導電性ペーストによって前記多孔質基材の両面に接着された金属箔が電氣的に接続されており、かつ前記多孔質基材は両面に前記金属箔が接着された後に加熱加圧

して圧縮されたものである回路形成用基板。

【請求項11】 多孔質基材に設けられた貫通孔に充填された導電性ペーストによって前記多孔質基材の両面に接着された金属箔が電氣的に接続されており、かつ前記多孔質基材は両面に前記金属箔が接着された後に加熱加圧して圧縮され、かつ前記導電性ペーストは前記貫通孔に充填されるときにバインダに対する導電物質の構成比が増大せられ、前記多孔質基材が加熱加圧して圧縮されるときに前記導電性ペースト中の導電物質が緻密化されるものである回路形成用基板。

【請求項12】 多孔質基材が、加熱加圧により圧縮率が10～60%の範囲で圧縮されたものである請求項10または11記載の回路形成用基板。

【請求項13】 多孔質基材が、貫通孔に導電性ペーストを充填する以前に予備圧縮されたものである請求項10または11記載の回路形成用基板。

【請求項14】 多孔質基材が有機材料を主材料とし、前記多孔質基材の空孔率が10～60%である請求項10または11記載の回路形成用基板。

【請求項15】 多孔質基材が、不織布と熱硬化性樹脂との複合材である請求項10または11記載の回路形成用基板。

【請求項16】 導電性ペースト中の導電物質が、銀、金、銀パラジウム、銅およびこれらの合金の内の一種以上からなる請求項10または11記載の回路形成用基板。

【請求項17】 多孔質基材が、導電性ペーストの粘度を上昇させる第1の工程と金属箔と多孔質基材とを接着する第2の工程において加熱加圧されたものである請求項10または11記載の回路形成用基板。

【請求項18】 導電性ペーストのゲル化温度が多孔質基材を構成する樹脂の軟化温度より低い請求項10または11記載の回路形成用基板。

【請求項19】 請求項10または11記載の回路形成用基板の両面に回路パターンを形成する回路基板の製造工程と、多孔質基材に貫通孔を設け、前記貫通孔に導電性ペーストを充填する中間接続体の製造工程と、複数の前記回路基板の間にそれぞれ前記中間接続体を挟持し、加熱加圧する工程とを有する多層回路基板の製造方法。

【請求項20】 請求項10または11記載の回路形成用基板の両面に回路パターンを形成してなる複数の回路基板と貫通孔に導電性ペーストを充填した多孔質基材からなる中間接続体とが前記回路基板が最外層に配されるように交互に積層されている多層回路基板。

【請求項21】 請求項10または11記載の回路形成用基板の両面に回路パターンを形成する回路基板の製造工程と、多孔質基材に貫通孔を設け、前記貫通孔に導電性ペーストを充填する中間接続体の製造工程と、前記回路基板の上に前記中間接続体を張り付け、その上に他の金属箔を張り付けた後、加熱加圧する工程と、前記他の金

3

箔を加工して回路パターンを形成する工程とを有する回路基板の製造方法。

【請求項22】請求項10または11記載の回路形成用基板の両面に回路パターンを形成してなる回路基板の上に、貫通孔に導電性ペーストを充填した多孔質基材が加熱加圧して圧縮されて積層されており、前記多孔質基材の上の金属箔に他の回路パターンが形成されてなる多層回路基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、両面に金属箔を有する回路形成用基板の製造方法および回路形成用基板に関する。

【0002】

【従来の技術】近年、電子機器の小型化、高密度化に伴い、産業用にとどまらず民生用の分野においても多層回路基板が強く要望されるようになってきた。このような多層回路基板では、複数層の回路パターンの間をインナビアホール接続する接続方法および信頼度の高い構造が必要である。

【0003】以下従来の2層回路基板の製造方法について説明する。図8(a)～(e)は従来の2層回路基板の製造方法を示す工程断面図である。まず、図8(a)に示すように、シート81を片面に張り付けたガラスエポキシ基板などの絶縁基板82の所定の箇所に貫通孔83を形成し、その絶縁基板82の下面に第1の銅箔84を接着する。次に図8(b)に示すように、貫通孔83に導電性ペースト85を充填する。この導電性ペースト85はシート81を印刷マスクとして印刷することにより充填される。次に図8(c)に示すように、絶縁基板82からシート81を剥離すると貫通孔83の内部に導電性ペースト85が充填される。しかしながら、貫通孔83の上部にはシート81の厚みに依存する量の導電性ペースト85が絶縁基板82の表面以上に盛り上がった形状で残ることがある。次に図8(d)に示すように、絶縁基板82の上面に第2の銅箔86を張り付けた後、絶縁基板82と第2の銅箔86とを本接着するとともに、導電性ペースト85を硬化させる。次に図8(e)に示すように、第1の銅箔84および第2の銅箔86を選択的にエッチングして第1の回路パターン87aおよび第2の回路パターン87bを形成する。

【0004】このようにして、第1の回路パターン87aと第2の回路パターン87bとは貫通孔83に充填された導電性ペースト85によってインナビアホール接続され、2層配線回路基板88が得られる。

【0005】次に従来の多層回路基板の製造方法について、4層回路基板を例として説明する。

【0006】図9(a)～(d)は従来の多層回路基板の製造方法を示す工程断面図であり、4層回路基板を例として示している。まず、図9(a)に示すように、図

4

8(a)～(e)の工程を経て製造された第1の2層回路基板88の上に、シート91を備え所定の箇所に貫通孔93が形成された絶縁基板92を張り付ける。次に図9(b)に示すように、貫通孔93に導電性ペースト94を充填する。この導電性ペースト94はシート91をマスクとして印刷することにより充填される。次に図9(c)に示すように、絶縁基板92からシート91を剥離すると貫通孔93内のみに導電性ペースト94が充填される。次に図9(d)に示すように、図8(a)～(e)と同様の工程を経て製造された回路パターン96a、96bが形成された第2の2層回路基板95を絶縁基板92の上に張り付けて接着することにより4層回路基板が得られる。

【0007】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、次のような課題を有していた。

【0008】第1に、従来の構成においては、貫通孔に導電性ペーストを充填する印刷工程において使用できる導電性ペースト中の導電物質の含有量に制限があり、そのために導電性ペーストおよび導電性ペーストと金属箔間の抵抗値を下げるには不適當であった。すなわち、貫通孔に充填された導電性ペーストの硬化後の抵抗を下げるために導電性ペースト中の導電物質の含有量を上げると、流動性が悪くなり、印刷適性が低下するために充填不良などが発生しやすくなる。

【0009】よって、小口径の貫通孔に導電性ペーストを充填するためには導電性ペーストの流動性をある程度上げる必要がある。そのために、導電性ペースト中の導電物質の含有量を下げると流動性が上がり印刷適性は向上するが、導電物質の含有量を下げた分だけ導電性ペーストの硬化後の抵抗が高くなる。

【0010】第2に、従来の構成においては、図8

(c)に示すように、シート81の厚みに依存する量の導電性ペースト85が絶縁基板82の表面以上に盛り上がった形状で残ることがある。この状態で絶縁基板82の上に第2の銅箔86を張り付けると、盛り上がった導電性ペースト85の逃げ場がなくなり、図10(a)に示すように、第2の銅箔86と絶縁基板82との隙間に導電性ペースト85が入り込むことがある。このような絶縁基板82の第2の銅箔86をエッチングして第2の回路パターン87bを形成すると、図10(b)に示すように、第2の銅箔86と絶縁基板82との間に入り込んでいた導電性ペースト85によって短絡路85aが形成され、近接する回路パターン間の短絡不良の原因となる。

【0011】以上のような課題を有しているために、従来の回路形成用基板では単位面積当たり形成できるインナビアホール接続の個数および回路パターン密度に限界があり、今後ますます需要が増大する高密度実装用多層基板を実現することが困難である。

【0012】本発明は上記従来の課題を解決するもの  
導電性ペーストの印刷適性を確保しながらインナビ  
アホール接続時の導電性ペーストおよび導電性ペースト  
と金属箔間の接続抵抗を下げ、かつ近接したインナビア  
ホール間の短絡不良をなくした高性能、高信頼性および  
高品質の回路基板を実現するための回路形成用基板の製  
造方法、回路形成用基板およびこの回路形成用基板を用  
いて構成される多層回路基板を提供することを目的とす  
る。

#### 【0013】

【課題を解決するための手段】この目的を達成するた  
めに本発明の回路形成用基板の製造方法は、離型性フィ  
ルムを備えた被圧縮性を有し不織布と熱硬化性樹脂の複  
合材からなる多孔質基材に貫通孔を設ける工程と、貫通  
孔に導電性ペーストを充填する工程と、貫通孔に導電性  
ペーストを充填した多孔質基材から離型性フィルムを剥離  
する工程と、多孔質基材の離型性フィルムを剥離した面  
に金属箔を張り合わせる工程と、金属箔を張り合わせた  
多孔質基材を加熱加圧して圧縮する工程からなるもので  
ある。

#### 【0014】

【作用】このように被圧縮性を有し不織布と熱硬化性樹  
脂の複合材からなる多孔質基材を使用することによっ  
て、導電物質の含有量が比較的少なく印刷適性に優れた  
導電性ペーストを使用して貫通孔に容易に導電性ペース  
トを充填することができ、さらに製造工程中において導  
電性ペースト中のバインダ成分の一部が不織布の空孔に  
浸透し、導電性ペースト中の導電物質の構成比が増大す  
る。

【0015】また、被圧縮性を有し不織布と熱硬化性樹  
脂の複合材からなる多孔質基材を使用することによっ  
て、多孔質基材を加熱加圧によって圧縮される工程にお  
いて導電性ペーストも圧縮されるが、そのときに導電物  
質間からバインダ成分が押し出され、導電物質同士およ  
び導電物質と金属箔間の結合が強固になり、導電性ペ  
ースト中の導電物質が緻密化される。

【0016】また、被圧縮性を有する多孔質基材を使用  
することによって、貫通孔に充填された導電性ペースト  
のバインダ成分が多孔質基材側に浸透するため充填量が  
減少し、多孔質基材とその両面に張り付けられた金属箔  
との間に導電性ペーストが侵入することがなくなり、近  
接する回路パターン間の短絡不良の発生を防止できる。

#### 【0017】

【実施例】以下本発明の一実施例における回路形成用基  
板の製造方法について、図面を参照しながら説明する。

【0018】（実施例1）図1（a）～（e）は本発明  
の第1の実施例における回路形成用基板の製造工程を示  
す工程断面図である。まず図1（a）に示すように、両  
面にポリエステルなどの離型性フィルム1を備えた厚さ  
 $t_1$ の多孔質基材2を準備する。この多孔質基材2とし

ては、例えば芳香族ポリアミド繊維に熱硬化性エポキシ  
樹脂を含浸させた内部に空孔2aを有する複合材からな  
る基材（以下アラミドーエポキシシートと称する）が用  
いられる。次に図1（b）に示すように、アラミドーエ  
ポキシシート2の所定の箇所にレーザ加工法などを利用  
して貫通孔3を形成する。次に図1（c）に示すよう  
に、貫通孔3に導電性ペースト4を充填する。導電性ペ  
ースト4を充填する方法としては、貫通孔3を有するア  
ラミドーエポキシシート2を印刷機（図示せず）のテー  
ブル上に設置し、直接導電性ペースト4を離型性フィ  
ルム1の上から印刷する。このとき、上面の離型性フィ  
ルム1は印刷マスクの役割と、アラミドーエポキシシート  
2の表面の汚染防止の役割を果たしている。この段階で  
すでに導電性ペースト4のバインダの一部はアラミドー  
エポキシシート2側へ浸透し、導電性ペースト4の内部  
ではバインダに対する導電物質の構成比が漸次増大して  
行く。次にアラミドーエポキシシート2の両面から離型  
性フィルム1を剥離する。次に図1（d）に示すよう  
に、アラミドーエポキシシート2の両面に銅箔などの金  
属箔5を張り付ける。この状態で加熱加圧することによ  
り、図1（e）に示すように、アラミドーエポキシシー  
ト2が圧縮されるとともにアラミドーエポキシシート2  
と金属箔5とが接着される。この工程において、導電性  
ペーストも圧縮されるが、そのときに導電物質間からバ  
インダ成分が押し出され、導電物質同士および導電物質  
と金属箔間の結合が強固になり、導電性ペースト中の導  
電物質が緻密化されるとともに、アラミドーエポキシシ  
ート2の厚さは $t_1$ に圧縮され、アラミドーエポキシシ  
ート2の一構成成分であるエポキシ樹脂および導電性ペ  
ースト4が硬化する。

【0019】本実施例をさらに詳しく説明すると、アラ  
ミドーエポキシシート2として厚さ $t_1$ が150～22  
0 $\mu$ m、空孔率が10～60%のアラミドーエポキシシ  
ートを用いた場合、図1（e）に示す加熱加圧による圧  
縮工程の後の厚さ、すなわち $t_2$ は60～200 $\mu$ m、  
空孔率は0～5%となり、空孔2aの形状も小さくなっ  
ている。

【0020】（実施例2）次に本発明の第2の実施例に  
おける回路形成用基板の製造方法について、図2（a）  
～（f）を参照しながら説明する。まず図2（a）に示  
すように、第1の実施例と同様のアラミドーエポキシシ  
ート2を準備する。このアラミドーエポキシシート2の  
厚さを $t_1$ とする。次に図2（b）に示すように、アラ  
ミドーエポキシシート2を加熱加圧して予備圧縮を行  
う。このときアラミドーエポキシシート2はその厚さが  
 $t_1$ に圧縮され、空孔率が減少するとともに、空孔2a  
の形状も小さくなる。この予備圧縮の目的は、離型フィ  
ルム1とアラミドーエポキシシート2との密着性を向上  
させることにより以降の工程において、アラミドーエポ  
キシシート2と金属箔5との界面に導電性ペースト4が

入するのを防止すること、導電性ペースト4中のバ  
 インダがアラミドエポキシシート2側へ浸透す量を制  
 御することにある。次に図2(c)に示すように、アラ  
 ミドエポキシシート2の所定の箇所にレーザ加工法な  
 どを利用して貫通孔3を形成する。次に図2(d)に示  
 すように、貫通孔3に導電性ペースト4を充填する。導  
 電性ペースト4を充填する方法としては、貫通孔3を有  
 するアラミドエポキシシート2を印刷機(図示せず)  
 のテーブル上に設置し、直接導電性ペースト4を離型性  
 フィルム1の上から印刷する。このとき、上面の離型性  
 フィルム1は印刷マスクの役割とアラミドエポキシシ  
 ート2の表面の汚染防止の役割を果たしている。この段  
 階ですでに導電性ペースト4のバインダの一部はアラミ  
 ドエポキシシート2側へ浸透し、導電性ペースト4の  
 内部ではバインダに対する導電物質の構成比が漸次増  
 大して行く。次にアラミドエポキシシート2の両面から  
 離型性フィルム1を剥離する。次に図2(e)に示すよ  
 うに、アラミドエポキシシート2の両面に銅箔などの  
 金属箔5を張り付ける。この状態で加熱加圧すること  
 により、図2(f)に示すように、アラミドエポキシシ  
 ート2が圧縮されるとともにアラミドエポキシシート  
 2と金属箔5とが接着される。この工程において、導電  
 性ペーストも圧縮されるが、そのときに導電物質間から  
 バインダ成分が押し出され、導電物質同士および導電物  
 質と金属箔間の結合が強固になり、導電性ペースト中の  
 導電物質が緻密化されるとともにアラミドエポキシシ  
 ート2の厚さは $t_5$ に圧縮され、アラミドエポキシシ  
 ート2の一構成成分であるエポキシ樹脂と導電性ペース  
 ト4とが硬化する。

【0021】本実施例をさらに詳しく説明すると、アラ  
 ミドエポキシシート2として厚さ $t_1$ が150~22  
 0 $\mu$ mで空孔率が40~60%のアラミドエポキシシ  
 ートを用いた場合、まず図2(b)に示す加熱加圧によ  
 る予備圧縮工程の後の厚さ、すなわち $t_1$ は100~1  
 50 $\mu$ m、空孔率は10~30%となり、空孔2aの形  
 状も小さくなっている。さらに図2(f)に示す圧縮工  
 程の後の厚さ、すなわち $t_5$ は90~100 $\mu$ m、空孔  
 率は0~5%となり、空孔2aの形状もさらに小さくな  
 っている。

【0022】(実施例3)次に本発明の第3の実施例に  
 おける回路形成用基板の製造方法について、図3(a)  
 ~ (f)を参照しながら説明する。まず図3(a)に示  
 すように、少なくとも一方の面にポリエステルなどの離  
 型性フィルム1を備えた厚さ $t_1$ のアラミドエポキシ  
 シート2を準備する。このアラミドエポキシシート2  
 としては、第1の実施例と同様内部に空孔2aを有する  
 アラミドエポキシシートが用いられる。次に図3(b)  
 に示すように、アラミドエポキシシート2の所定の箇  
 所にレーザ加工法などを利用して貫通孔3を形成する。  
 次に図3(c)に示すように、アラミドエポキシシ

ート2の下面に銅箔などの第1の金属箔5aを張り付け  
 る。なお両面に離型性フィルム1を備えた多孔質基材を  
 使用した場合は、下面の離型性フィルムを剥離してから  
 第1の金属箔5aを張り付ける。次に図3(d)に示す  
 ように、貫通孔3に導電性ペースト4を充填する。導電  
 性ペースト4を充填する方法としては、貫通孔3を有す  
 るアラミドエポキシシート2を印刷機(図示せず)の  
 テーブル上に設置し、直接に導電性ペースト4を離型性  
 フィルム1の上から印刷する。このとき、上面の離型性  
 フィルム1は印刷マスクの役割と、アラミドエポキシ  
 シート2の表面の汚染防止の役割を果たしている。この  
 段階ですでに導電性ペースト4のバインダの一部はアラ  
 ミドエポキシシート2側へ浸透し、導電性ペースト4  
 の内部ではバインダに対する導電物質の構成比が漸次増  
 大して行く。次にアラミドエポキシシート2の上面か  
 ら離型性フィルム1を剥離する。次に図3(e)に示す  
 ように、アラミドエポキシシート2の上面に銅箔など  
 の第2の金属箔5bを張り付ける。この状態で加熱加圧  
 することにより、図3(f)に示すように、アラミドエ  
 ポキシシート2が圧縮されるとともにアラミドエポ  
 キシシート2の下面には第1の金属箔5aが、上面には  
 第2の金属箔5bがそれぞれ接着される。この工程にお  
 いて、導電性ペーストも圧縮されるが、そのときに導電  
 物質間からバインダ成分が押し出され、導電物質同士お  
 よび導電物質と金属箔間の結合が強固になり、導電性ペ  
 ースト中の導電物質が緻密化されるとともにアラミド  
 エポキシシート2の厚さは $t_1$ に圧縮され、アラミド  
 エポキシシート2の一構成成分であるエポキシ樹脂と導  
 電性ペースト4とが硬化する。

【0023】本実施例をさらに詳しく説明すると、アラ  
 ミドエポキシシート2として厚さ $t_1$ が150~22  
 0 $\mu$ m、空孔率が10~60%のアラミドエポキシシ  
 ートを用いた場合、図3(f)に示す加熱加圧による圧  
 縮工程の後の厚さ、すなわち $t_1$ は60~200 $\mu$ m、  
 空孔率は0~5%となり、空孔2aの形状も小さくなっ  
 ている。

【0024】なお図3(a)に示すアラミドエポキシ  
 シート2として第2の実施例において使用したところの  
 予備圧縮して厚さと空孔率を減じたものを用いてもよ  
 い。

【0025】以上説明した第1、第2または第3の実施  
 例において使用する導電性ペースト4に含有される導電  
 物質としては、銀、金、銀パラジウム、銅およびこれら  
 の合金の一種以上のものが使用できる。また導電物質の形  
 状は球状であることが望ましい。すなわち、導電物質と  
 して球状の金属粒子を使用することにより、導電性ペ  
 ースト4に圧力が加えられた時、金属粒子同士の接触部か  
 らバインダを押し出し易く、また金属粒子同士の接触部  
 が塑性変形しやすいために金属粒子同士および金属粒子  
 と金属箔とが強固に結合し、インナビアホール接続時の

抵抗を極めて低くすることができる。

【0026】また第1、第2または第3の実施例において、金属箔5によって挟持されたアラミドエポキシシート2を加熱加圧して圧縮する工程を、導電性ペースト4の粘度を上昇させる第1の工程と、金属箔5とアラミドエポキシシート2とを接着する第2の工程とから構成してもよい。この場合には、まず第1の工程で導電性ペースト4の粘度が上昇するため、第2の工程で導電性ペースト4がアラミドエポキシシート2と金属箔5との界面に侵入することを防止できる。このことは特に高密度実装用の回路基板で貫通孔3同士の間隔が狭くなってきた場合に効果を発揮する。

【0027】また第1、第2または第3の実施例において、導電性ペースト4のゲル化温度をアラミドエポキシシート2の一構成成分であるエポキシ樹脂の軟化温度より低く設定しておくことにより、金属箔5に挟持されたアラミドエポキシシート2を加熱加圧して圧縮する工程において、まず最初に導電性ペースト4のゲル化が始まり、ある程度粘度が上昇してからアラミドエポキシシート2の一構成成分であるエポキシ樹脂が軟化し始めるため、導電性ペースト4がアラミドエポキシシート2と金属箔5との界面に侵入することを防止できる。このことは特に高密度実装用の回路基板で貫通孔3同士の間隔が狭くなってきた場合に効果を発揮する。

【0028】次に第1、第2または第3の実施例において特に重要な意味を持つ、加熱加圧による多孔質基材の圧縮について説明する。圧縮率は、加熱加圧前の多孔質基材の厚さをT、加熱加圧後のアラミドエポキシシート2の厚さをtとして式(1)で表される。

$$\text{【0029】圧縮率} = (T - t) / T \quad (1)$$

図4は多孔質基材を圧縮するプレス圧力と圧縮率および厚さの関係を示す図である。さらに詳しく説明すると、多孔質基材として厚さ200μm、空孔率40%のアラミドエポキシシートを使用し、100℃で3分間加圧したときのプレス圧力と圧縮率および厚さとの関係を示したものである。図4に示すように、プレス圧力の増大とともに多孔質基材の厚さは減少するが、プレス圧力が圧縮率の転移点Pを超えると厚さの変化は小さくなる。圧縮率はこの厚さの変化を式(1)に代入して求めたものである。

【0030】したがって、第2の実施例における図2(b)の工程で行う予備圧縮は図4に示す圧縮率の転移点Pに達するまでの領域内で行い、図2(f)の工程、図1(e)の工程および図3(f)の工程で行う圧縮は圧縮率の転移点P以降の領域で行うことが望ましい。

【0031】図5は圧縮率と貫通孔に充填された導電性ペーストの抵抗値との関係を示す図であり、縦軸は貫通孔1個あたりの抵抗値を示している。図5の測定に使用した試料は次のようにして作成した。まず多孔質基材として厚さ200μmのアラミドエポキシシートを使用

し、100℃で予備圧縮を行った後、レーザ加工法を用いて直径0.2mmの貫通孔を形成した。次にこの貫通孔に、金属粒子としての銀パウダーをバインダとしての無溶剤型エポキシ樹脂に分散させた導電性ペーストを充填した後、アラミドエポキシシートの両面に銅箔を張り合わせ、170℃で60分間プレスした。次に両面の銅箔をエッチングして500個の貫通孔が直列に接続された回路パターンを形成した。この回路パターンの総抵抗値を測定し、貫通孔1個あたりの抵抗値を算出した。

【0032】図5に示すように、抵抗値は圧縮率の増加とともに急激に減少し、その圧縮率が抵抗値の転移点Rを超えると抵抗値の変化は小さくなり、安定した電氣的接続が得られた。

【0033】(実施例4)次に本発明の一実施例における回路形成用基板について、図面を参照しながら説明する。

【0034】図6は本発明の一実施例における回路形成用基板の断面図である。図6に示すように、本実施例の回路形成用基板は、アラミドエポキシシート2に設けられた貫通孔3に充填された導電性ペースト4によってアラミドエポキシシート2の両面に接着された金属箔5が電氣的に接続されている。貫通孔3に充填された導電性ペースト4は、導電性ペースト4を充填する工程以降に漸次導電物質の構成比が増大して行き、金属箔5を接着した後の圧縮工程で導電物質間からバインダ成分が押し出され、導電物質同士および導電物質と金属箔間の結合が強固になる。その結果、本実施例における導電性ペースト4は従来のインナビアホール接続に用いられている導電性ペーストに比べて導電物質が緻密化されている。

【0035】(実施例5)次に本発明の一実施例における多層回路基板の製造方法について、図面を参照しながら説明する。

【0036】図7(a)～(i)は、本発明の一実施例における多層回路基板の製造方法を示す工程断面図であり、(a)、(b)は第1の回路基板を形成する工程を、(c)、(d)は第2の回路基板を形成する工程を、(e)～(g)は第1の回路基板と第2の回路基板とを積層し相互接続するために用いる中間接続体を形成する工程を、(h)、(i)は第1の回路基板と第2の回路基板との間に中間接続体を介在させて積層し多層回路基板を形成する工程をそれぞれ示している。

【0037】まず図7(a)に示すように、図1(a)～(e)、図2(a)～(f)または図3(a)～

(f)によって形成された第1の回路形成用基板21を準備する。次に図7(b)に示すように、両面の銅箔などの金属箔5をそれぞれ通常のパターン形成方法によりエッチングして回路パターン22を備えた第1の回路基板23を製造する。同様に図7(c)、(d)により第2の回路形成用基板24を処理して、回路パターン25



を備えた第2の回路基板26を製造する。なおこれらの基板23、26はこの状態で2層配線回路基板として使用できる。

【0038】第1の回路基板23および第2の回路基板26の製造工程とは別に、図7(e)～(g)に示す工程で中間接続体31を製造する。まず図7(e)に示すように、離型性フィルム27を備えた厚さ $t_1$ のアラミド-エポキシシート28を準備する。次に図7(f)に示すように、アラミド-エポキシシート28の所定の箇所にレーザ加工法などを利用して貫通孔29を形成する。次に図7(g)に示すように、貫通孔29に導電性ペースト30を充填する。導電性ペースト30を充填する方法としては、貫通孔29を形成したアラミド-エポキシシート28を印刷機のテーブル(図示せず)の上に設置し、直接導電性ペースト30を離型性フィルム27の上から印刷する。このとき、上面の離型性フィルム27は印刷マスクの役割と、アラミド-エポキシシート28の表面の汚染防止の役割を果たしている。導電性ペースト30を印刷した後、離型性フィルム27を除去して中間接続体31が製造される。なお貫通孔29は図7(h)、(i)の工程において、相互接続すべき回路パターンに対応させて必要な数だけ設けておく。

【0039】次に第1の回路基板23と第2の回路基板26とを中間接続体31を用いて積層する工程について説明する。まず図7(h)に示すように、第1の回路基板23の上に中間接続体31を重ね、その上に第2の回路基板26を重ねる。次に図7(i)に示すように、加熱加圧して第1の回路基板23と第2の回路基板26とを接着するとともに、回路パターン22と回路パターン25は導電性ペースト30によりインナビアホール接続される。この工程において、中間接続体31が厚さ $t_1$ に圧縮されるとともに硬化し、導電性ペースト30が硬化する。

【0040】本実施例における中間接続体31の製造工程についてさらに詳しく説明すると、アラミド-エポキシシート28として厚さ $t_1$ が150～220 $\mu$ m、空孔率が10～60%のアラミド-エポキシシートを用いた場合、図7(h)に示す加熱加圧による圧縮工程の後の厚さ、すなわち $t_1$ は60～200 $\mu$ m、空孔率は0～5%にまで圧縮される。

【0041】またさらに積層数の多い多層回路基板を製造するには、必要な枚数の回路基板とそれらの間を相互接続する中間接続体を準備し、それぞれの回路基板の間に中間接続体を挿入した後、加熱加圧して一度に積層するか、または図7(h)、(i)の工程を繰り返して中間接続体と回路基板および回路基板とを1組づつ重ねて加熱加圧して積層してもよい。

【0042】なお回路基板の上に中間接続体を積層し、その上にさらに他の金属箔を積層し、加熱加圧して回路基板と中間接続体と他の金属箔とを接着した後、他の金

属箔をエッチングして回路パターンを形成する方法またはこの方法を繰り返すことによっても多層回路基板を製造することができる。

【0043】以上説明した多層回路基板の製造方法においては、中間接続体31の貫通孔29の下面が開放された状態で導電性ペースト30が十分に充填されており、図7(g)の工程の後に光学的手段等を用いて、中間接続体31を単体で検査することができる。したがって、図7(h)の工程では、第1の回路基板23、第2の回路基板26および中間接続体31が総て検査済みの状態で積層することになるため、高い工程歩留まりが確保でき、コスト上昇が抑えられる。一方従来の多層回路基板の製造工程においては、図9(a)～(c)に示すように、本実施例の中間接続体31に相当するものが回路基板88の上に直接積層する方法で形成されるため、それぞれの工程で不良が発生すると良品である回路基板88も同時に捨てなければならないため、コストが上昇する。

【0044】また以上説明した製造方法により製造された多層回路基板では、第1の回路基板23と第2の回路基板26とが加熱加圧により圧縮する中間接続体31を用いて相互接続されており、導電性ペースト30中の導電物質が緻密化されるとともに導電物質と回路パターン22、25の間の接触が良くなるためにインナビアホール接続時の抵抗が極めて低くなる。したがって、インナビアホール接続の個数が増大する高密度または高多層の回路基板に適用して特に上記の効果が顕著になる。

【0045】

【発明の効果】以上のように本発明は、離型性フィルムを備えた被圧縮性を有する不織布と熱硬化性樹脂の複合材からなる多孔質基材に貫通孔を設ける工程と、その貫通孔に導電性ペーストを充填する工程と、貫通孔に導電性ペーストを充填した多孔質基材から離型性フィルムを剥離する工程と、多孔質基材の離型性フィルムを剥離した面に金属箔を張り合わせる工程と、金属箔を張り合わせた多孔質基材を加熱加圧して圧縮する工程とから構成されているため、低抵抗で高信頼性のインナビアホール接続を有する回路形成用基板の製造方法および回路形成用基板を実現できる。

【0046】すなわち本発明によれば、製造工程中において導電性ペースト中のバインダ成分の一部が多孔質基材の空孔に浸透し、導電性ペースト中の導電物質の構成比が増大する。

【0047】さらに、金属箔を張りつけた後に多孔質基材を加熱加圧する工程において導電性ペーストも圧縮されるが、そのときに導電物質間からバインダ成分が押し出され、導電物質同士および導電物質と金属箔間の結合が強固になり、導電性ペースト中の導電物質が緻密化される。

【0048】したがって本発明によれば、微小な口径の



インナビアホール接続を必要とする高密度回路基板、多層のインナビアホール接続を必要とする高多層の多層回路基板、低回路インピーダンスが要求される低雑音用回路基板または高周波用回路基板などを容易に実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における回路形成用基板の製造方法を示す工程断面図

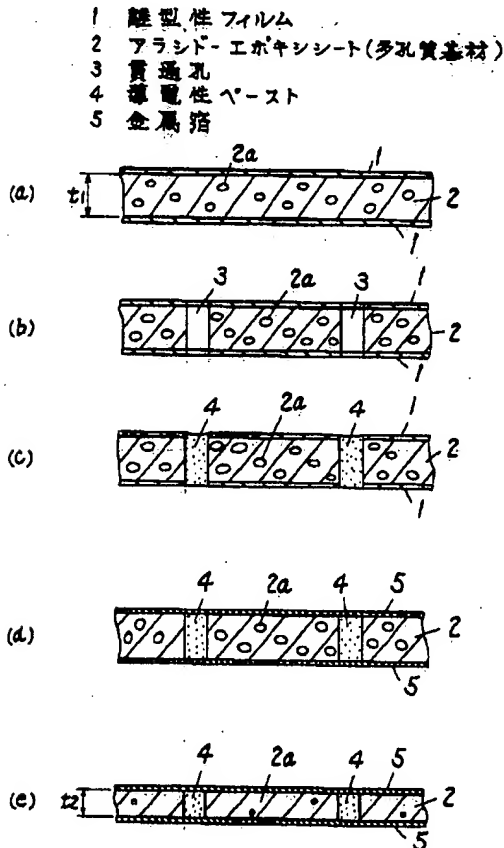
【図2】本発明の第2の実施例における回路形成用基板の製造方法を示す工程断面図

【図3】本発明の第3の実施例における回路形成用基板の製造方法を示す工程断面図

【図4】多孔質基材を圧縮するプレス圧力と圧縮率および厚さの関係を示す図

【図5】圧縮率と貫通孔に充填された導電性ペーストの抵抗値との関係を示す図

【図1】



【図6】本発明の一実施例における回路形成用基板の断面図

【図7】本発明の一実施例における多層回路基板の製造方法を示す工程断面図

【図8】従来の2層回路基板の製造方法を示す工程断面図

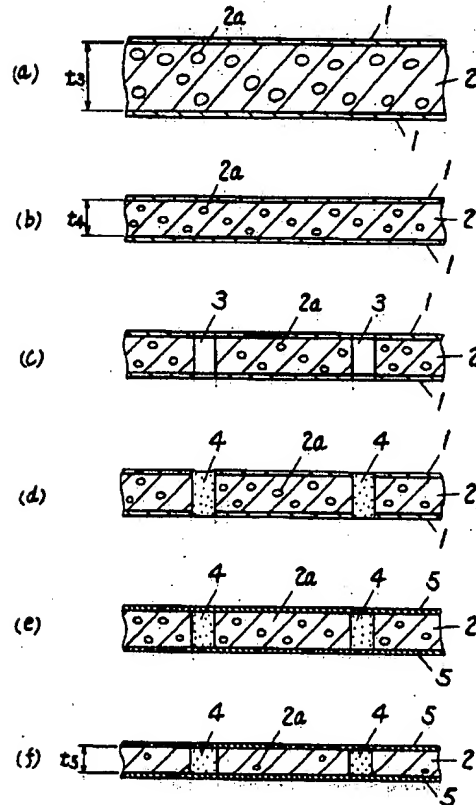
【図9】従来の多層回路基板の製造方法を示す工程断面図

【図10】従来の2層回路基板の製造方法における課題を示す断面図

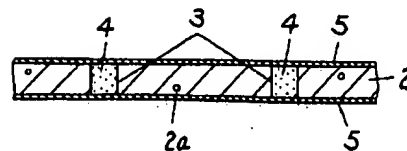
【符号の説明】

- 1 離型性フィルム
- 2 アラミド-エポキシシート (多孔質基材)
- 3 貫通孔
- 4 導電性ペースト
- 5 金属箔

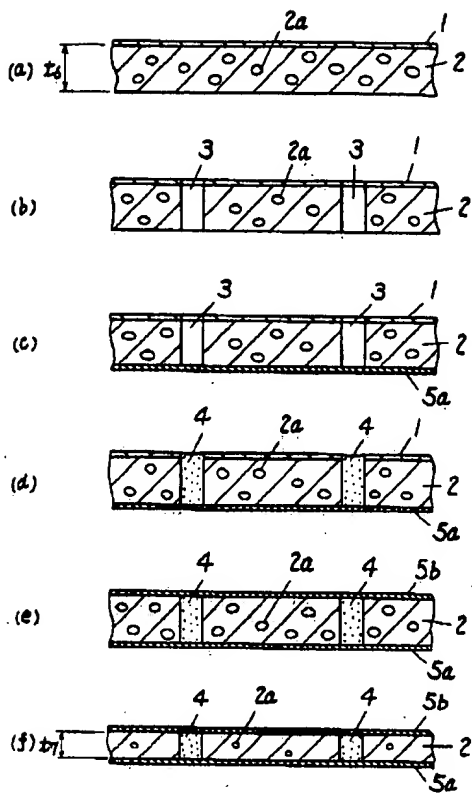
【図2】



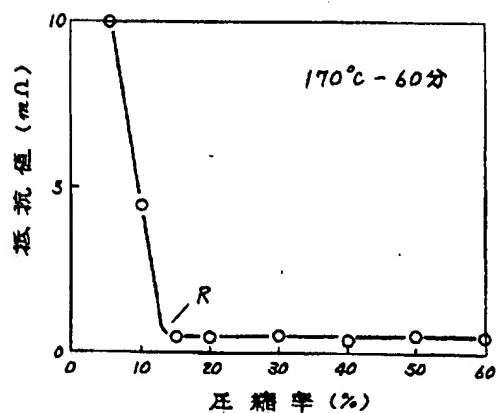
【図6】



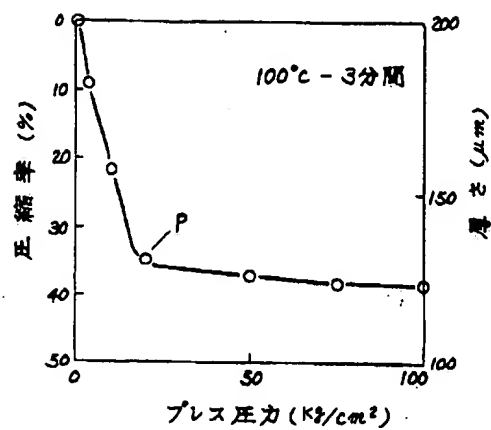
【図3】



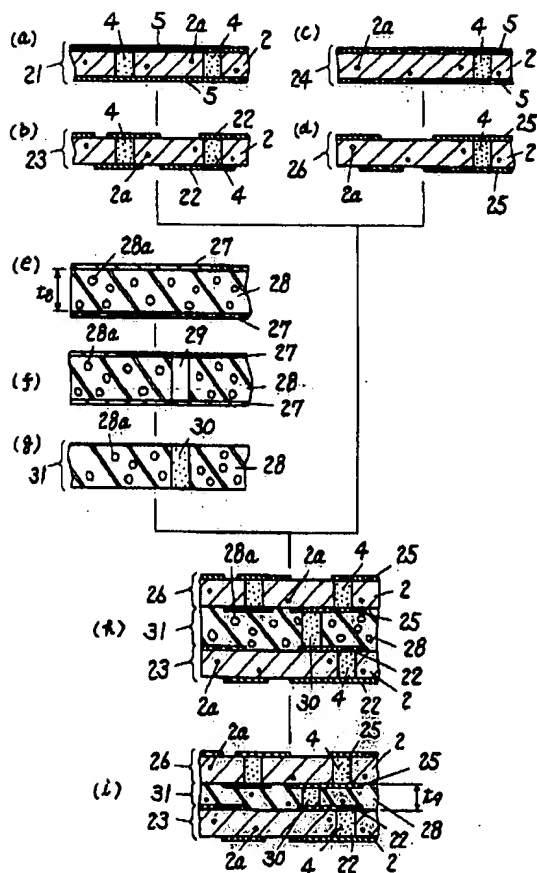
【図5】



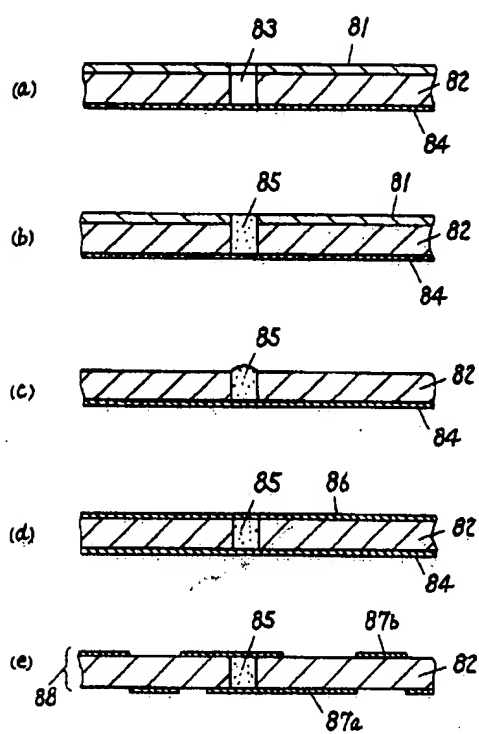
【図4】



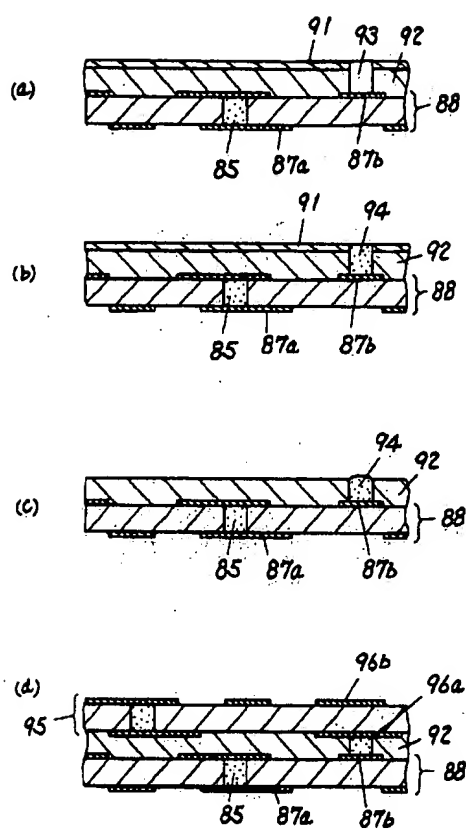
【図7】



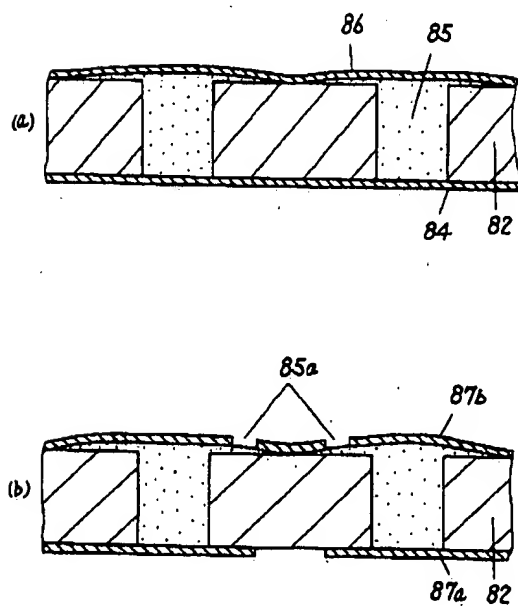
【図8】



【図9】



【図10】



## フロントページの続き

(31) 優先権主張番号 特願平5-3263

(32) 優先日 平5 (1993) 1月12日

(33) 優先権主張国 日本 (JP)

(72) 発明者 堀尾 泰彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 塚本 勝秀

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 福村 泰司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内